

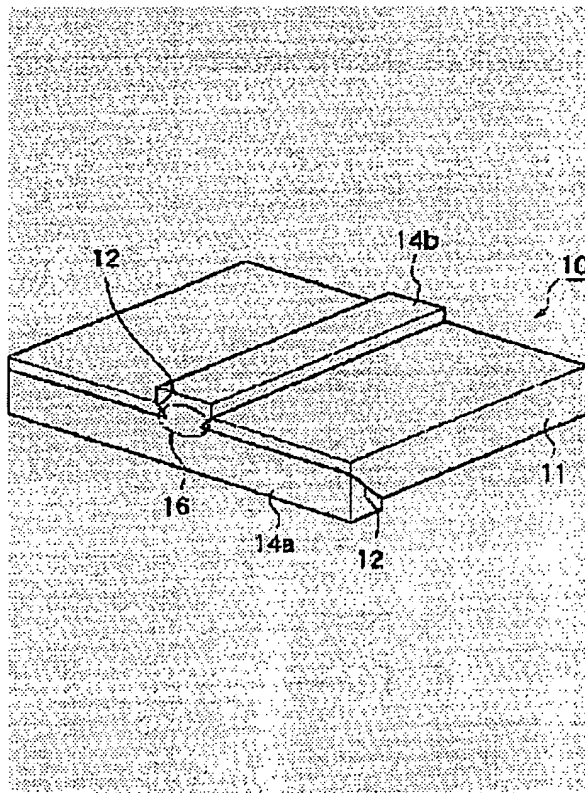
GLASS SUBSTRATE, ITS MANUFACTURING METHOD AND SEMICONDUCTOR DEVICE

Patent number: JP2001251039
Publication date: 2001-09-14
Inventor: MATSUI KUNIYASU
Applicant: SEIKO EPSON CORP
Classification:
- international: **H01L23/12; H05K3/10; H05K3/18; H01L23/12; H05K3/10; H05K3/18; (IPC1-7): H05K3/10; H01L23/12; H05K3/18**
- european:
Application number: JP20000062299 20000307
Priority number(s): JP20000062299 20000307

Report a data error here

Abstract of JP2001251039

PROBLEM TO BE SOLVED: To provide a glass substrate wherein adhesion between glass and wiring patterns is superior and one circuit can be formed by using wiring patterns formed on both surfaces, a manufacturing method of the glass substrate and a semiconductor device. **SOLUTION:** In the glass substrate 10, trench parts 12 which correspond to arrangement of the wiring patterns and have depth which is at least one-half of the glass substrate 10 are formed on both surfaces of a glass plate 11. Wiring patterns 14a, 14b are formed on the respective surfaces so as to be buried in the trench parts 12. Thereby the wiring patterns 14a, 14b are electrically connected with each other, and the one circuit can be formed by using the wiring patterns 14a, 14b. It is also possible that a penetrating hole is formed in the trench parts 12 with a laser light or the like, and the wiring patterns 14a and 14b are connected.



Data supplied from the **esp@cenet** database - Worldwide

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2001-251039
(P2001-251039A)

(43)公開日 平成13年9月14日(2001.9.14)

(51)Int.Cl. ⁷	識別記号	F I	テマコード*(参考)
H 0 5 K 3/10		H 0 5 K 3/10	E 5 E 3 4 3
H 0 1 L 23/12		3/18	H
H 0 5 K 3/18		H 0 1 L 23/12	Q

審査請求 未請求 請求項の数14 O L (全 9 頁)

(21)出願番号 特願2000-62299(P2000-62299)

(22)出願日 平成12年3月7日(2000.3.7)

(71)出願人 000007369

セイコーエプソン株式会社
東京都新宿区西新宿2丁目4番1号

(72)発明者 松井 邦容

長野県諏訪市大和3丁目3番5号 セイコ
ーエプソン株式会社内

(74)代理人 100093388

弁理士 鈴木 喜三郎 (外2名)

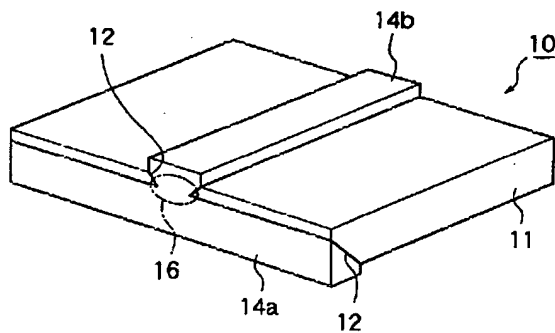
Fターム(参考) 5E343 AA07 AA26 BB02 BB44 CC37
CC73 DD33 EE33 EE37 ER12
ER18 GG02 GG20

(54)【発明の名称】 ガラス基板およびその製造方法ならびに半導体装置

(57)【要約】

【課題】 ガラスと配線パターンの密着性が良く、両面に形成された配線パターンで1つの回路を形成可能なガラス基板およびその製造方法ならびに半導体装置を提供すること。

【解決手段】 ガラス基板10は、ガラス板11の両面に配線パターンの配置に対応しているとともに、ガラス基板10の厚さの半分上の深さを持つ溝部12を形成している。また、溝部12を埋めるように配線パターン14a、14bとをそれぞれの面に形成している。よって、配線パターン14a、14bとは電氣的に接続され、配線パターン14a、14bとで1つの回路を形成することができる。なお、溝部12にレーザー光等で貫通孔を形成して、配線パターン14aと配線パターン14bとを接続しても良い。



【特許請求の範囲】

【請求項1】 少なくとも一方の面に配線パターンを形成してなるガラス基板において、前記配線パターンを、前記配線パターンに対応して形成された前記ガラス基板の溝部を充填するように形成してなることを特徴とするガラス基板。

【請求項2】 前記配線パターンを前記ガラス基板の両面に形成するとともに、前記溝部に形成されてなる貫通孔内において前記両面に形成した前記配線パターン同士を接続してなることを特徴とする請求項1に記載のガラス基板。

【請求項3】 前記溝部をエッチングにより形成してなることを特徴とする請求項1または請求項2に記載のガラス基板。

【請求項4】 前記配線パターンを無電解メッキにより形成してなることを特徴とする請求項1ないし請求項3のいずれかに記載のガラス基板。

【請求項5】 前記ガラス基板に光導波路を形成してなることを特徴とする請求項1ないし請求項4のいずれかに記載のガラス基板。

【請求項6】 ガラス基板の形成方法において、ガラス板の少なくとも片面に、形成されるべき配線パターンに対応する溝部を形成する第1の工程と、前記ガラス板の前記溝部を形成した面に、前記溝部を充填するように配線パターンを形成する第2の工程と、を少なくとも有することを特徴とするガラス基板の製造方法。

【請求項7】 前記第1の工程と第2の工程との間に、前記溝部の所定部位にレーザ光を照射して、前記溝部に開口部を形成する工程を有することを特徴とする請求項6に記載のガラス基板の製造方法。

【請求項8】 前記溝部を充填する配線パターンを形成した後、前記配線パターンを溝部内のみ残留させるように表面を研磨する工程を有することを特徴とする請求項6または7に記載のガラス基板の製造方法。

【請求項9】 ガラス基板の形成方法において、ガラス板の両面に、形成されるべき配線パターンに対応する溝部を形成する第1の工程と、前記ガラス板の前記溝部を形成した両面に、前記溝部を充填するように配線パターンを一括無電解めっきで形成する第2の工程と、を有することを特徴とするガラス基板の製造方法。

【請求項10】 少なくとも1個の半導体チップと、前記半導体チップを実装してなる少なくとも1枚のガラス基板と、を有してなる半導体装置において、前記ガラス基板の少なくとも一方の面に溝部を形成し、当該溝部を充填するように配線パターンを形成してなることを特徴とする半導体装置。

【請求項11】 前記溝部をエッチングにより形成してなることを特徴とする請求項8に記載の半導体装置。

【請求項12】 前記配線パターンを無電解メッキにより形成してなることを特徴とする請求項8または請求項9に記載の半導体装置。

【請求項13】 前記配線パターンを前記ガラス基板の両面に形成するとともに、前記ガラス基板に形成してなる貫通孔内において当該両面に形成した前記配線パターン同士を接続してなることを特徴とする請求項8ないし請求項10のいずれかに記載の半導体装置。

【請求項14】 前記ガラス基板に光導波路を形成してなることを特徴とする請求項8ないし請求項11のいずれかに記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ガラス基板およびその製造方法ならびに半導体装置に係り、特にガラス基板の両面に配線パターンを形成して用いるのに好適なものに関する。

【0002】

【従来の技術】ガラス基板は、無機系材料から形成される基板の一種として以前から広く利用されており、LCD用としての利用が多い。最近では、電子機器の小型化、軽量化を目的として、周辺回路を形成する素子を実装することも多くなっている。

【0003】

【発明が解決しようとする課題】ところで、従来技術に係るガラス基板においては、一般的にスパッタリングなどの方法によりガラスの表面に配線パターンを形成している。しかしながら、この方法により配線パターンを形成すると、ガラスと配線パターンの密着性が必ずしも良くない。くわえて、ガラス基板の両面に配線パターンを形成する場合、これらを電氣的に接続するためには、配線パターンを形成する工程とは別にスルーホールを形成する工程を設ける必要がある。

【0004】そこで、本発明は、前記した従来技術の欠点を解消するためになされたもので、ガラスと配線パターンの密着性が良く、積層された半導体チップと外部装置等とを電氣的に接続することが可能であるとともに、ガラス基板の両面に形成された配線パターンを容易に接続できるガラス基板およびその製造方法ならびに半導体装置を提供することを目的としている。

【0005】

【課題を解決するための手段】そこで、本発明は、上記の目的を達成するために、少なくとも一方の面に配線パターンを形成してなるガラス基板において、前記配線パターンを、前記配線パターンに対応して形成された前記ガラス基板の溝部を充填するように形成してなることを特徴とするものとした。

【0006】このように構成した本発明においては、配線パターンとガラスとが付着している面積が大きくなるので、配線パターンの密着性が良くなる。

【0007】また、上記のガラス基板において、前記配線パターンを前記ガラス基板の両面に形成するとともに、前記溝部に形成されてなる貫通孔内において前記両面に形成した前記配線パターン同士を接続してなることを特徴とするものとした。

【0008】このように構成した本発明においては、ガラス基板の両面にそれぞれ形成された配線パターン全体で1つの回路を形成することが容易にできる。

【0009】なお、貫通孔は、ガラス基板の両面に形成された溝部の深さをガラス基板の厚さの半分以上にすることにより形成することが好ましい。溝部の深さをこのように設定することにより、両面の配線パターンが交差した部分に貫通孔を簡単に形成することができる。

【0010】また、上記のガラス基板において、前記溝部をエッチングにより形成してなることを特徴とするものとした。

【0011】このように構成した本発明においては、細密な配線パターンに対応する溝部を形成することが容易にできる。

【0012】また、上記のガラス基板において、前記配線パターンを無電解メッキにより形成してなることを特徴とするものとした。

【0013】このように構成した本発明においては、ガラスに容易に配線が形成できる。

【0014】また、上記のガラス基板において、前記ガラス基板に光導波路を形成してなることを特徴とするものとした。

【0015】このように構成した本発明においては、ガラス基板を光通信等に利用することが可能になる。

【0016】さらに、ガラス基板の形成方法において、ガラス板の少なくとも片面に、形成されるべき配線パターンに対応する溝部を形成する第1の工程と、前記ガラス板の前記溝部を形成した面に、前記溝部を充填するように配線パターンを形成する第2の工程と、を少なくとも有することを特徴とするものとした。

【0017】このように構成した本発明においては、配線パターンとガラスとの付着している面積が大きく、配線パターンの密着性が良いガラス基板を製造することが容易にできる。

【0018】また、ガラス基板の形成方法において、前記第1の工程と第2の工程との間に、前記溝部の所定部位にレーザ光を照射して、前記溝部に開口部を形成する工程を有することを特徴とするものとした。更に、前記溝部を充填する配線パターンを形成した後、前記配線パターンを溝部内にのみ残留させるように表面を研磨する工程を有するものとすれば、溝部の内部にのみ配線を残すことができるため、平坦な配線パターン付きのガラス基板を製造することができる。

【0019】同様に、本発明に係る製造方法は、ガラス基板の形成方法において、ガラス板の両面に、形成され

るべき配線パターンに対応する溝部を形成する第1の工程と、前記ガラス板の前記溝部を形成した両面に、前記溝部を充填するように配線パターンを一括無電解めっきで形成する第2の工程と、を有する構成とすることができ。特に、斯かる構成では、工程が単純化できるメリットがある。

【0020】このように構成した本発明においては、溝部に設けた開口部に配線パターンを形成する材料を充填することができるので、ガラス基板の両面に配線パターンを形成した場合には、両面に形成した配線パターンで1つの回路を形成することが可能になる。また、片面のみに配線パターンを形成した場合は、開口部の配線パターンを形成していない側にバンパ等の電氣的接続を媒介するものを設けることにより、当該ガラス基板の配線パターンを形成していない側に配置される外部装置と、当該配線パターンとを電氣的に接続することが容易にできる。

【0021】くわえて、少なくとも1個の半導体チップと、前記半導体チップを実装してなる少なくとも1枚のガラス基板と、を有してなる半導体装置において、前記ガラス基板の少なくとも一方の面に溝部を形成し、当該溝部を充填するように配線パターンを形成してなることを特徴とするものとした。

【0022】このように構成した本発明においては、配線パターンとガラスとが付着している面積が大きくなるので、配線パターンの密着性が良くなり、ひいては半導体装置の信頼性が高まる。

【0023】また、上記の半導体装置において、前記溝部をエッチングにより形成してなることを特徴とするものとした。

【0024】このように構成した本発明においては、細密な配線パターンに対応する溝部を形成することが容易にできる。

【0025】また、上記の半導体装置において、前記配線パターンを前記ガラス基板の両面に形成するとともに、前記溝部に形成されてなる貫通孔内において前記両面に形成した前記配線パターン同士を接続してなることを特徴とするものとした。

【0026】このように構成した本発明においては、ガラス基板の両面にそれぞれ形成された配線パターン全体で1つの回路を形成することが容易にできる。

【0027】また、上記の半導体装置において、前記ガラス基板に光導波路を形成してなることを特徴とするものとした。

【0028】このように構成した本発明においては、ガラス基板を光通信等に利用することが可能になり、ひいては半導体装置の用途を拡大することが可能になる。

【0029】

【発明の実施の形態】以下に、本発明に係るガラス基板およびその製造方法ならびに半導体装置の好適な実施の

形態について添付図面を参照しながら詳細に説明する。

【0030】図1は、本発明の実施の形態に係るガラス基板の概略を示す斜視図である。また、図2は、本発明の実施の形態に係るガラス基板の製造工程を説明する断面図(1)である。また、図3は、本発明の実施の形態に係るガラス基板の製造工程を説明する断面図(2)である。また、図4は、本発明の実施の形態に係るガラス基板の製造工程の変形例を説明する断面図である。また、図4は、本発明の実施の形態に係るガラス基板の開口部形成工程の変形例を説明する断面図である。また、図5は、本発明の実施の形態に係るガラス基板の製造工程の変形例を説明する断面図である。さらに、図6は、本発明の実施の形態に係る半導体装置の概略を示す斜視図である。

【0031】本発明の実施の形態に係るガラス基板について、図1に基づいて説明する。なお、図1はガラス基板10の一部分を表したものであり、また、配線パターン14aは、その中央部で2つに切断された状態で表している。この実施の形態に係るガラス基板10は、ガラス板11の両面に、配線パターンの配置に対応した溝部12を形成している。また、溝部12を埋めるように、配線パターン14a、14bとをそれぞれの面に形成している。なお、溝部12の深さは、ガラス基板10の厚さの半分上の大きさを持つ。配線パターン14a、14bの材質は、ニッケル(Ni)である。

【0032】さらに、配線パターン14a、14bが交差している部分、すなわち溝部12が交差している部分は、2つの溝部14が重なり合うことにより溝部14の底部が開口して、開口部16が形成されている。また、配線パターン14a、14bは、この開口部16において接続されている。よって、配線パターン14a、14bは1つの回路を形成している。

【0033】以上の構成によれば、ガラス基板10は、ガラス板11の表面に形成された溝部12を埋めるように配線パターン14a、14bを形成しているので、平坦面に配線パターンを付着させた従来のガラス基板よりも配線パターンの付着面積が大きくなり、配線パターン14a、14bの密着性が高まる。また、配線パターン14a、14bは、開口部16において接続されているので、ガラス基板11の両面に形成された配線パターンで1つの回路を構成することが可能になる。

【0034】なお、ガラス板11の材質は、けい酸塩ガラス、ほうけい酸ガラス、合成石英ガラスなど、一般的にガラス基板の製造に用いられるものであればどのようなものであっても良い。また、配線パターン14a、14bは、ニッケルの他に、銀(Ag)、銅(Cu)、金(Au)など他の導電性の良い金属で形成しても良い。さらに、ニッケル-金(Ni-Au)、ニッケル-金-銅(Ni-Au-Cu)など無電界めっき又は電気めっきにより形成した積層体であってもよい。くわえて、金

属の代わりに導電性樹脂で形成するか、金属膜を形成した後に樹脂を充填して形成しても良い。

【0035】さらに、配線パターン14a、14bは接続されていなくとも良い。この場合、溝部14の深さをガラス板11の厚さの半分よりも小さくすると、ガラス基板10の両面に形成した溝部14が交差した部分に開口部16が形成されないで、配線パターン14a、14bが接続されることがない。また、配線パターンをガラス板11の片面のみに設けるものとしても良い。さらに、1つの面に複数の回路を形成するように複数の配線パターンを形成しても良い。また、溝部14の深さをガラス板11の厚さの半分よりも小さくしておき、所定の箇所にのみ後述する方法により貫通孔を形成して、配線パターン14a、14bを接続しても良い。

【0036】また、溝部14の深さをガラス基板11の厚さの半分よりも小さくしたガラス基板10において、後述するように、所定箇所にレーザ光を用いてガラス板11を開口させることにより開口部16を形成しても良い。このようにして開口部16を形成する場合、レーザ光を照射する工程が必要となるが、開口部16を任意の箇所に自在に形成することができる。

【0037】次に、本発明の実施の形態に係るガラス基板の製造方法について、その概略を各工程毎に説明する。

【0038】まず、図2(A)に示すように、ガラス板11の両面にフォトレジストを塗布して、フォトレジスト膜20a、20bを形成する。

【0039】次に、図2(B)に示すように、フォトレジスト膜20(20a、20b)の露光・現像・ポストバークを行い、フォトレジスト膜20の溝部を形成する領域、つまり配線パターンを形成する領域に対応する部分を除去して、開口部22a、22bを形成する。

【0040】フォトレジスト膜20処理と成膜後の開口部22(22a、22b)の形成処理は、片面ずつ行なってもよい。すなわち、片面レジスト塗布後に露光・現像・ポストバークを行なって片面に開口22aを形成し、次に他面側にて同様に、レジスト塗布後に露光・現像・ポストバークを行なって他面側に開口22bを形成するようにしてもよい。

【0041】次に、図2(C)に示すように、エッチングにより、ガラス板11の両面の開口部22a、22bに対応する領域に溝部12a、12bを形成する。溝部12a、12bの深さをガラス基板11の厚みの半分以上に設定することにより、両溝部12a、12bは交差部分で連通する。なお、この場合のエッチングは、ウェットエッチング又はドライエッチングで行うことができるが、フッ酸等を用いて比較的容易にしかも短時間でできるウェットエッチングで行うことが好ましい。なお、また、溝部12は、ガラス板11にフォトレジストの塗布・露光・現像の工程、およびエッチングの工程を

行わずに、レーザ光を照射して形成するものとしても良い。

【0042】次に、図2(D)に示すように、ガラス板11の両面に一括でパラジウム処理を行なう。すなわち、ガラス板11をパラジウム(Pd)・コロイドの溶液に浸潤して、溝部12およびフォトレジスト膜20にパラジウムの触媒核42を付着させる。

【0043】次に、図2(E)に示すように、フォトレジスト膜20を除去し、続けてニッケルの無電解メッキを行って、ガラス板11の両面に配線パターン14a、14bを形成する。両面の溝12が交差する箇所では両面パターン14a、14bが導通状態となり、両面で一つの回路が形成されることになる。

【0044】ところで、配線パターンを細密化する場合には、溝部14の深さ大きくとれない。このような場合には、上記工程の一部を変更して以下に示すように行うことが好ましい。

【0045】すなわち、まず、図3(A)に示すように、ガラス基板11の両面にレジスト膜20a、20bを形成し、図3(B)に示すように、フォトレジスト膜20(20a、20b)の露光・現像・ポストベークを行い、配線パターンを形成する領域に対応する部分を除去して、開口部22a、22bを形成する。図3(C)に示すように、エッチングにより、ガラス板11の両面の開口部22a、22bに対応する領域に溝部12a、12bを形成する。ガラス基板11の両面の溝部12a、12bが交差する箇所は、図示のようにスルーホールが形成されない。

【0046】そこで、図3(D)に示すように、レーザ光40を照射する。そうすると、溝部12内に開口部(スルーホール)16が形成される。続けて、図3(E)に示すように、ガラス板11をパラジウム(Pd)・コロイドの溶液に浸潤して、溝部12a、12bおよびフォトレジスト膜20、開口部16にパラジウムの触媒核42を一括で付着させる。

【0047】次に、図3(F)に示すように、フォトレジスト膜20を除去し、続けてガラス基板11の両面に一括でニッケルの無電解メッキを行って、配線パターン14a、14bを両面同時に形成する。配線パターン14a、14bは、開口部16において接続される。

【0048】図4には、他の製造方法の工程を示している。

【0049】まず、図4(A)に示すように、ガラス基板11の両面にレジスト膜20a、20bを形成し、次いで図4(B)に示すように、フォトレジスト膜20(20a、20b)の露光・現像・ポストベークを行い、配線パターンを形成する領域に対応する部分を除去して、開口部22a、22bを形成する。図4(C)に示すように、エッチングにより、ガラス板11の両面の開口部22a、22bに対応する領域に溝部12a、1

2bを形成する。ここまでの工程においても、フォトレジスト膜20処理と成膜後の開口部22(22a、22b)の形成処理は、片面ずつ行なってもよい。次に、図4(C)に示すように、エッチングにより、ガラス板11の両面の開口部22a、22bに対応する領域に溝部12a、12bを形成する。

【0050】次に、図4(D)に示すように、両面のレジスト膜20a、20bの剥離を行ない、図4(E)に示すように、ガラス板11の両面に一括でパラジウム処理を行なう。すなわち、ガラス基板11をパラジウム(Pd)・コロイドの溶液に浸潤して、溝部12およびフォトレジスト膜20にパラジウムの触媒核42を付着させるのである。

【0051】次に、図4(F)に示すように、前面に一括でニッケルの無電解メッキを行い、最終的に図4(G)に示す如く、配線部分以外の領域で基板11のガラス表面が露出するまで、CMP(ケミカルメカニカルポリッシング)などの研磨手法を用いて両面を研磨し、ガラス板11の両面に配線パターン14a、14bを確定させるのである。

【0052】上述の例はガラス基板11の両面を一括処理することにより配線パターンを形成するものであるが、以下に説明するように、片面ずつ処理することも可能である。

【0053】まず、図5(A)に示すように、ガラス板11にフォトレジストを塗布して、フォトレジスト膜20を形成する。

【0054】次に、図5(B)に示すように、フォトレジスト膜20の露光・現像を行い、フォトレジスト膜20の溝部を形成する領域、つまり配線パターンを形成する領域に対応する部分を除去して、開口部22を形成する。

【0055】次に、図5(C)に示すように、エッチングにより、ガラス板11の開口部22に対応する領域に溝部12を形成する。なお、溝部の深さ92は、後述するように、ガラス板11の両面に形成した配線パターンの交差する部分において開口部が形成されるようにする場合には、ガラス基板の厚さ90の2分の1より大きくし、当該開口部が形成されないようにする場合には、ガラス基板の厚さ90の2分の1より小さくする。また、溝部12は、ガラス板11にフォトレジストの塗布・露光・現像の工程、およびエッチングの工程を行わずに、レーザ光を照射して形成するものとしても良い。

【0056】次に、図5(D)に示すように、ガラス板11をパラジウム(Pd)・コロイドの溶液に浸潤して、溝部12およびフォトレジスト膜20にパラジウムの触媒核42を付着させる。

【0057】次に、図5(E)に示すように、フォトレジスト膜20を除去し、続けてニッケルの無電解メッキを行って、配線パターン14aを形成する。なお、配線

パターンを片面のみに形成する場合は、この工程で終了となる。

【0058】さらに、図6(A)に示すように、ガラス板11の配線パターン14aを形成した面と反対側の面にフォトレジスト膜20を形成する。

【0059】次に、図6(B)に示すように、フォトレジスト膜20の露光・現像・ポストベークを行い、配線パターンを形成する領域に対応する部分を除去して、開口部22を形成する。

【0060】次に、図6(C)に示すように、エッチングによりガラス板11に溝部12を形成する。これにより、溝部12の底部に開口部16が形成され、この開口部16において配線パターン14aが露出する。

【0061】次に、図6(D)に示すように、ガラス板11をパラジウム(Pd)・コロイドの溶液に浸潤して、溝部12およびフォトレジスト膜20にパラジウムの触媒核42を付着させる。

【0062】次に、図6(E)に示すように、フォトレジスト膜20を除去し、続けてニッケルの無電解メッキを行って、配線パターン14bを形成する。配線パターン14a、14bは、開口部16において接続される。

【0063】なお、溝部14の深さをガラス基板11の厚さの半分よりも小さくしたガラス基板10において、配線パターン14a、14bを接続する場合は、上記工程の一部を変更して以下に示すように行うことが好ましい。

【0064】すなわち、まず、図7(A)に示すように、ガラス基板11の一方の面に配線パターン14aを形成し、他方の面に溝部12を形成した段階、すなわち図6(C)に相当する段階において、溝部12にレーザ光40を照射する。

【0065】そうすると、図7(B)に示すように、溝部12内に開口部16が形成される。続けて、ガラス板11をパラジウム(Pd)・コロイドの溶液に浸潤して、溝部12およびフォトレジスト膜20にパラジウムの触媒核42を付着させる。

【0066】次に、図7(C)に示すように、フォトレジスト膜20を除去し、続けてニッケルの無電解メッキを行って、配線パターン14bを形成する。配線パターン14a、14bは、開口部16において接続される。

【0067】また、ガラス基板の両面に配線パターンを形成し、これらの配線パターンを接続する場合における当該ガラス基板の製造方法については、以下に示す方法を用いても良い。

【0068】すなわち、図8(A)に示すように、ガラス基板の両面に形成された配線パターン同士を接続するコンタクトとなる部分のみについて、図5および図6、または図7に示した方法により形成する。これにより、ガラス板11の両面に導電材36a、36bが外部に露出した状態に形成されるとともに、導電材36a、36

bが開口部16を介して接続された状態となる。

【0069】次に、図8(B)に示すように、導電材36aを含む配線パターン形成領域に、産業用のインクジェットノズル38でパラジウム・コロイドの溶液または、パラジウムの粉体を吹き付ける。なお、パラジウムの粉体を吹き付ける場合は、配線パターン形成領域に予め接着剤など、ガラス板上にパラジウムの粉体を定着させるものを設けておくことが好ましい。

【0070】次に、図8(C)に示すように、ニッケルの無電解メッキを行って、配線パターン14aを形成する。

【0071】さらに、図8(D)に示すように、導電材36b側にも同じ工程により配線パターン14bを形成する。

【0072】以上の工程により、配線パターン14a、14bが開口部16において接続されたガラス基板10を形成することができる。

【0073】さらに、本発明の実施の形態に係る半導体装置について説明する。

【0074】図9に示すように、半導体装置100は、半導体チップ30a、30b、30cを、それぞれの能動素子形成面を同方向に揃えた状態で積層されている。また、半導体チップ30c上には、ガラス基板10が積層して設けられている。また、半導体チップ30a、30b、30cは、絶縁樹脂32a、32bによって相互に接着されている。さらに、半導体チップ30a、30b、30cの図示しない電極パッドは、それぞれ半導体チップ30a、30b、30cの側面側に露出して形成されるとともに、導電材34に接続されている。

【0075】また、導電材34は、ガラス基板10に形成された配線パターン14bに接続されている。また、ガラス基板10には、光導波路領域18が形成されており、半導体チップ30cの能動素子形成面に設けられた図示しない受光素子および発光素子の光通信に供される。さらに、配線パターン14bを形成した側の面の裏面、すなわち半導体チップ30cと相対向する側の面に、配線パターン14aが形成されている。くわえて、配線パターン14a、14bは、前述の構成により相互に接続されている。

【0076】以上説明した本発明の実施の形態によれば、半導体チップ30a、30b、30cは、導電材34を介してガラス基板の配線パターン14a、14bに接続されており、全体で1つの回路を形成している。また、ガラス基板10には、光導波路領域18が形成されているので、半導体チップ30cに形成された図示しない受光素子および発光素子を用いることにより、外部装置との光通信が可能である。したがって、半導体装置100においては、外部装置との電氣的接続および光学的接続が可能である。

【0077】以上述べたように、本発明の実施の形態に

係るガラス基板10は、ガラス板に溝部を設けて、配線パターンとガラス板との接続面積を大きくして両者の密着性を高めたので、従来技術に係るガラス基板よりも配線パターンの密着性がよい。また、配線パターンをガラス基板の表裏両面に形成し、配線パターン同士を電氣的に接続したので、比較的小型のガラス基板に複雑で大規模な回路を形成することが可能である。さらに、ガラス基板を小型化できる分だけ用い半導体装置の実装面積の縮小化を図ることが可能になる。

【0078】

【発明の効果】以上に説明したように、本発明によれば、少なくとも一方の面に配線パターンを形成してなるガラス基板において、前記配線パターンを、前記配線パターンに対応して形成された前記ガラス基板の溝部を充填するように形成してなる構成としているため、ガラスと配線パターンの密着性が良くなり、信頼性の高いガラス基板を製造することが可能になる。また、前記配線パターンを前記ガラス基板の両面に形成するとともに、前記溝部に形成されてなる貫通孔内において前記両面に形成した前記配線パターン同士を接続してなる構成としているため、1つのガラス基板の両面に形成された複数の配線パターンで1つの回路を形成することができる。ひいては、半導体装置の小型化にも寄与する。

【図面の簡単な説明】

【図1】本発明の実施の形態に係るガラス基板の概略を示す斜視図である。

【図2】本発明の実施の形態に係るガラス基板の第1の製造工程例を説明する断面図である。

【図3】本発明の実施の形態に係るガラス基板の第2の製造工程例を説明する断面図である。

【図4】本発明の実施の形態に係るガラス基板の第3の製造工程例を説明する断面図である。

【図5】本発明の実施の形態に係るガラス基板の第4の

製造工程例を説明する断面図(1)である。

【図6】本発明の実施の形態に係るガラス基板の第4の製造工程例を説明する断面図(2)である。

【図7】本発明の実施の形態に係るガラス基板の第5の製造工程例を説明する断面図である。

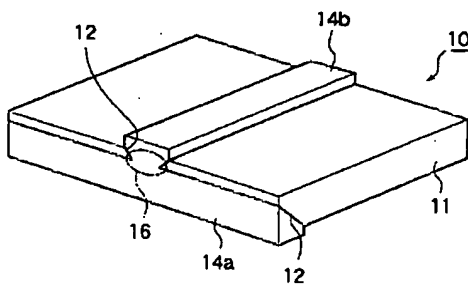
【図8】本発明の実施の形態に係るガラス基板の第6の製造工程例を説明する断面図である。

【図9】本発明の実施の形態に係る半導体装置の概略を示す斜視図である。

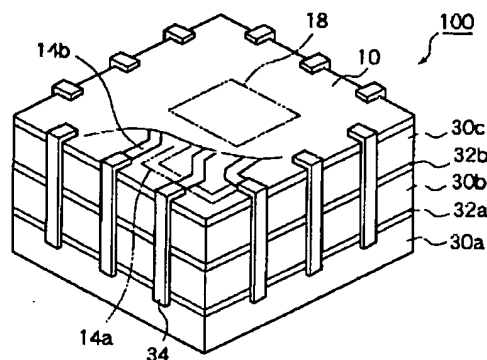
【符号の説明】

- 10……ガラス基板
- 11……ガラス板
- 12……溝部
- 14a……配線パターン
- 14b……配線パターン
- 16……開口部
- 18……光導波路領域
- 20……フォトリソ膜
- 22……開口部
- 30a……半導体チップ
- 30b……半導体チップ
- 30c……半導体チップ
- 32a……絶縁樹脂
- 32b……絶縁樹脂
- 34……導電材
- 36a……導電材
- 36b……導電材
- 38……インクジェットノズル
- 40……レーザー光
- 42……触媒核
- 90……ガラス基板の厚さ
- 92……溝部の深さ
- 100……半導体装置

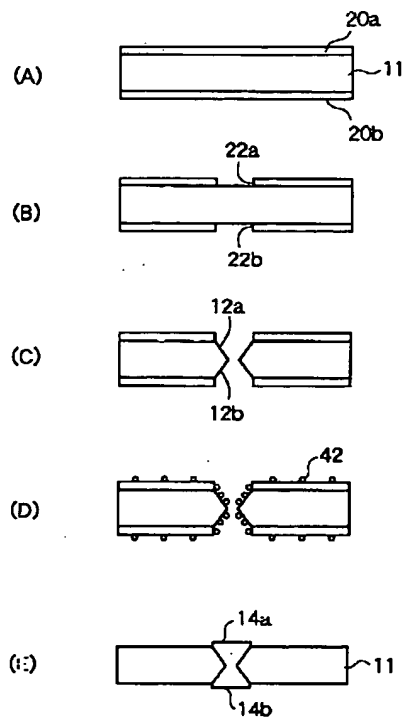
【図1】



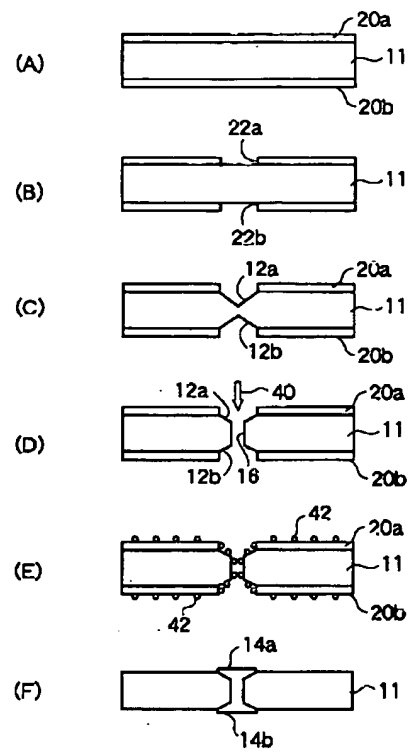
【図9】



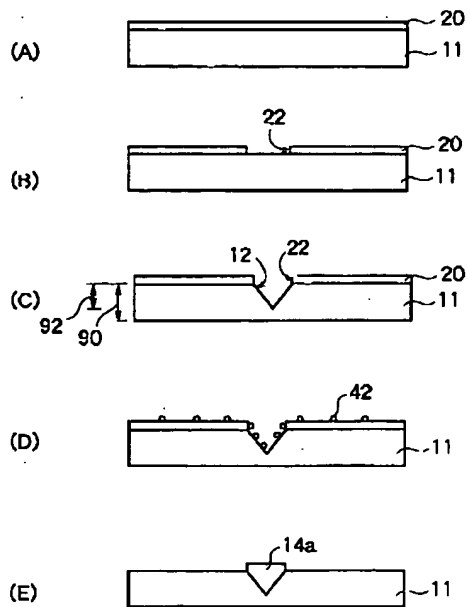
【図2】



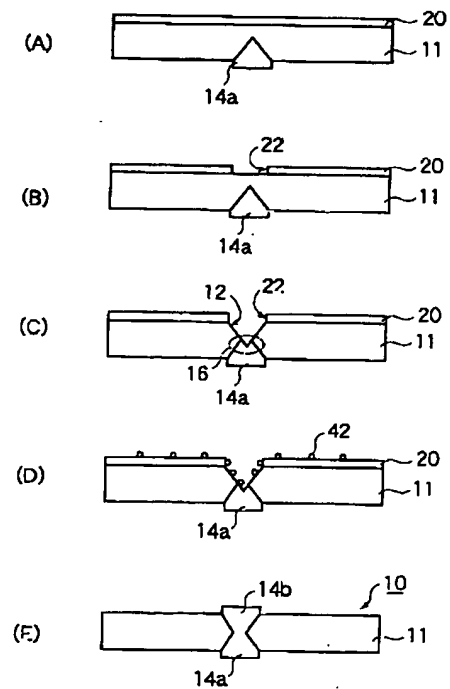
【図3】



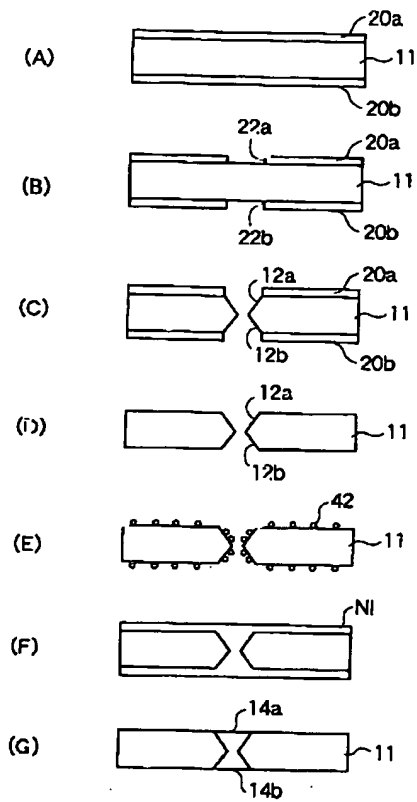
【図5】



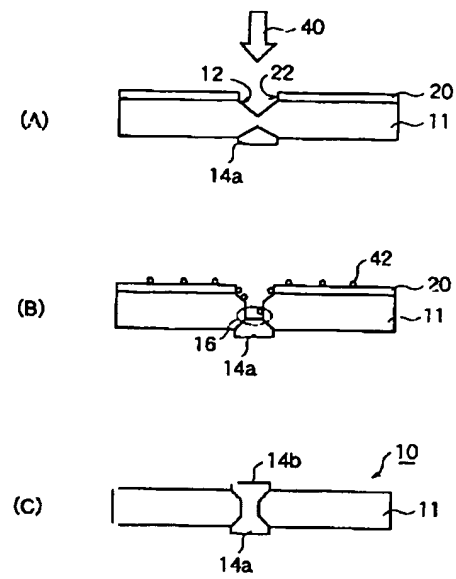
【図6】



【図4】



【図7】



【図8】

